

CONSTITUTION: Luminance gradations are multiplied by including the first signal source 51 for generating the two signals; the signal FS2 which inverts a logical level at a ratio of 1/2 in terms of space and time and the signal FS4 which inverts the logical level at the ratio of 1/4, the second signal source 52 for generating the signals randomly inverting and signal switching devices 53 to 55 for switching the two values of the digital RGB signals on the bases of the three signals generated from these two signal sources 51, 52 in this circuit. Namely, the two values of the digital RGB signals are switched while the three signals generated from these two signals sources 51, 52 are referenced, by which the digital RGB signals are modulated at high frequencies in terms of space and time. The capacity to display gradation is, therefore, quadrupled.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-160921

(43)公開日 平成8年(1996)6月21日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 0 5			
H 0 4 N 5/66		A		

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21)出願番号 特願平6-305988

(22)出願日 平成6年(1994)12月9日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 進藤 嘉邦

大阪府茨木市松下町1番1号 株式会社松

下エーヴィシー・テクノロジー内

(74)代理人 弁理士 小鍛冶 明 (外2名)

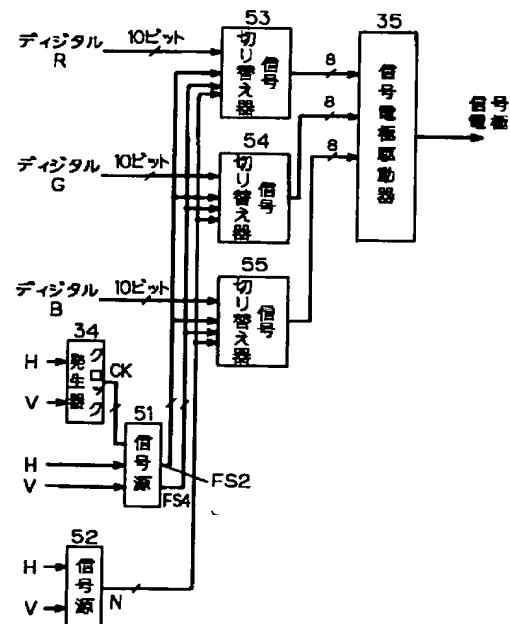
(54)【発明の名称】 中間階調表示回路

(57)【要約】

【目的】 デジタルRGB信号の2つの値を空間的かつ時間的に切り換えることで、輝度変調を4倍に増加させることにより、擬輪郭を低減し、また、輝度補正を低輝度まで有効にすることを目的とする。

【構成】 空間的かつ時間的に2分の1の割合で反転する信号と4分の1の割合で反転する2つの信号を発生させる第1の信号源51と、ランダムに反転する信号を発生させる第2の信号源52と、上記3つの信号を元にデジタルRGB信号の2つの値を切り換える信号切り換え器53～55を有し、区間的、時間的に中間輝度を表示する。

51,52 信号源
53～55 信号切り換え器



【特許請求の範囲】

【請求項1】 アナログRGB信号をデジタルRGB信号に変換するAD変換器と、垂直方向に複数配列された信号電極を上記デジタルRGB信号に応じて制御することで画像を表示するマトリクス駆動型画像表示素子において、空間的かつ時間的に2分の1の割合で論理レベルが反転する信号と4分の1の割合で論理レベルが反転する信号の2つの信号を発生させる第1の信号源と、ランダムに反転する信号を発生させる第2の信号源と、上記第1の信号源および上記第2の信号源から発生した3つの信号を元に上記デジタルRGB信号の2つの値を切り替える信号切り替え器を具備することを特徴とした中間階調表示回路。

【請求項2】 ランダムに反転する信号を発生させる第2の信号源として、乱数が記録されたメモリを使用することを特徴とする請求項1記載の中間階調表示回路。

【請求項3】 ランダムに反転する信号を発生させる第2の信号源として、画面輝度の不均一をあらかじめ記録した輝度補正メモリを使用することを特徴とする請求項1記載の中間階調表示回路。

【請求項4】 デジタルRGB信号の2つの値を切り替える信号切り替え器として論理回路と加算器を用いることを特徴とした請求項1記載の中間階調表示回路。

【請求項5】 デジタルRGB信号の2つの値を切り替える信号切り替え器として、リードオンリメモリ（ROM）またはランダムアクセスメモリ（RAM）等のメモリを用いることを特徴とした請求項第1記載の中間階調表示回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はカラーテレビジョン受像機、計算機の端末ディスプレイ等に用いられるマトリクス駆動型画像表示素子の中間階調表示方法に関するものである。

【0002】

【従来の技術】 従来のマトリクス駆動型画像表示素子の信号電極駆動について、図11～13を用いて説明する。簡単のためにR信号の表示についてのみ説明するが、G、Bも同様である。

【0003】 アナログR信号はそれに対応するAD変換器31によってデジタルR信号に変換される。

【0004】 クロック発生器34はAD変換器のサンプリング・クロックを発生させる。信号電極駆動器35は、デジタルRGB信号に比例した幅をもつパルスを信号電極に印加するもので、本構成例では8ビットで駆動する。すなわち輝度階調は、本構成例では256階調となる。パルス幅で信号電極を制御する方法の他に、デジタル信号に比例した電圧を信号電極に印加する方法もある。この場合は信号電極駆動器35は一種のDA変換器として、デジタルRGB信号に比例した電圧を出

力することになる。信号電極駆動器35の出力信号はマトリクス駆動型画像表示素子の信号電極に印加される。出力本数は信号電極本数と同数である。本構成例では信号電極駆動器は1つのみ図示したが、信号電極本数が多い場合は同じものを複数個配列する構成もある。

【0005】 次に、AD変換器31～33と信号電極駆動器35の間に、輝度均一化等の目的で信号変換手段が挿入されている構成例を、図12を用いて説明する。

【0006】 デジタルR信号をそのまま信号電極駆動器35に入力しても画像は表示されるが、本構成例のようなマトリクス駆動型画像表示素子は、製造過程における電極固定の際のズレ等、様々の要因により画面上に輝度不均一点がランダムに発生する。そこで図12のように画面の不均一をあらかじめ記録した輝度補正メモリ37と、その読みだしアドレスを発生させるアドレス発生器36と、輝度補正メモリ37の出力値に応じてデジタル信号を変調する（以下、輝度補正と記す）信号変換器38～40を搭載する構成がとられることがある（例えば特開平5-344457号公報参照）。

【0007】 信号変換器38～40における、信号変調の方法を図13を用いて説明する。AD変換後のデジタルR（またはGまたはB）信号がaのとき、画面の平均輝度がL aであり、輝度不均一が発生している点ではL bになったとする。この時、輝度不均一が発生している点での輝度を均一にするためには、入力をbに補正する必要がある。この時、 $L a / L b = b / a =$ 一定であるから、輝度階調が無限であれば補正量はデジタルR信号の大きさに無関係に一定であるので、輝度補正メモリ37からの信号の大きさに比例した定数を映像信号に乗じる単なるかけ算をすればよい。

【0008】 しかし、輝度階調は有限である（本従来例で使用される信号電極駆動器35は256階調）。信号がa' という低い値のとき、画面の平均輝度がL a'、輝度不均一が発生している点ではL b' である。このとき入力を補正するためにb' ($= a' - 1$) としてしまうと、輝度不均一が発生している点の輝度はL cとなり、L a' より大きく輝度が低くなってしまう。よってこのように入力信号値が低いときは輝度補正を行うことができない。

【0009】 輝度補正メモリ37に格納されるデータは、表示素子毎に異なり、1つの表示素子においてもそのデータ配列は全くランダムである。これは輝度不均一が発生している箇所がランダムであるからである。

【0010】 信号変換器38～40は同時に、ホワイトバランスを保つためにRGB毎に非線形な変換を施したり、ブラウン管を用いた画像表示素子の信号対輝度の関係に似せるために信号を約2乗する変換を施すために使用されることがある。このような変調が実施されるのは、特に信号電極の制御方式が印加されるパルスの幅による方式、つまりパルス幅変調方式である場合、パルス

幅と輝度の関係がブラウン管を用いた画像表示素子と大きく異なるためである。信号変換器38~40としてメモリーを用いる構成が容易であるが、加算器、乗算器等の演算器を内蔵した集積回路を用いてもよい。

【0011】信号電極駆動器35の直前段、すなわちAD変換器31~33、または信号変換器38~40は、信号電極駆動器35の駆動に必要なビット数(本構成例では8ビット)より多くのビット数、例えば10ビット出力のものを使用してもよいが、その場合は下位の数ビットは無視されてしまうことになる。

【0012】

【発明が解決しようとする課題】しかしながら上記のような構成では、輝度の階調が信号電極駆動器の階調表示能力(上記例では256階調)で制限されるため、特に低輝度において階調性が不足し、擬輪郭が発生する。また輝度補正が実施されている場合、輝度階調の不足のために低輝度では輝度補正が不可能になるために、輝度ムラが発生するという問題を有していた。

【0013】本発明は上記問題に鑑み、ディジタルRGB信号の2値を空間的かつ時間的に切り替えることで中間階調を表現して輝度階調性を4倍化し、擬輪郭の発生を低減し、輝度補正が実施させている場合には極低輝度までその効果を有効にし、マトリクス駆動型画像表示素子による表示を極めて高画質にする回路を提供するものである。

【0014】

【課題を解決するための手段】本発明の中間階調表示回路は、空間的かつ時間的に2分の1の割合で論理レベルが反転する信号と4分の1の割合で論理レベルが反転する信号の2つの信号を発生させる第1の信号源と、ランダムに反転する信号を発生させる第2の信号源と、上記2つの信号源から発生する2つの信号を元にしてディジタルRGB信号の2つの値を切り替える信号切り替え器を具備することで、輝度階調を倍増させるものである。

【0015】

【作用】本発明の第1の信号源と第2の信号源から発生する2つの信号を参照しながらディジタルRGB信号の2つの値を切り替えることにより、ディジタルRGB信号は空間的かつ時間的に高い周波数で変調される。

【0016】そのため階調表示能力が4倍化され、擬輪郭の発生を低減し、輝度補正が実施されている場合には極低輝度まで輝度補正を有効にすることができる。

【0017】

【実施例】以下、本発明の中間階調表示回路の実施例を図1~図10によって説明する。なお、この図1~図10において、図11~図13に対応する部分には同一符号を付すこととし、その詳細な説明は省略する。

【0018】(実施例1)図1~図8は第1の実施例を示すものである。

【0019】図1における信号切り替え器53~55に

入力されるディジタルRGB信号は、従来例における図11のAD変換器31~33の出力信号、または図12の信号変換器38~40の出力信号である。

【0020】信号源51は、空間的かつ時間的に2分の1の割合で反転する信号FS2と、空間的かつ時間的に4分の1の割合で反転する信号FS4を発生させる本発明の信号源である。図2は、信号源51の内部構成である。フリップフロップ61、63、65はそれぞれサンプリング・クロックCK、水平同期信号H、垂直同期信号Vを分周するために使用している。フリップフロップ62、64、66はそれぞれサンプリング・クロックの分周信号CK2、水平同期信号Hの分周信号H2、垂直同期信号Vの分周信号V2を分周するために使用している。

【0021】フリップフロップ61~64はリセット端子付きのフリップフロップであり、フリップフロップ61、62は水平同期信号Hにより水平同期毎にリセットされ、フリップフロップ63、64は垂直同期信号Vにより垂直同期毎にリセットされる。サンプリング・クロックCKの分周信号CK2と水平同期信号Hの分周信号H2の排他的論理和をとる、それと垂直同期信号Vの分周信号V2との排他的論理和をとることで、空間的かつ時間的に2分の1の割合で反転する信号FS2が生成される。サンプリング・クロックCKの4分周信号CK4と水平同期信号Hの4分周信号H4の排他的論理和をとる、それと垂直同期信号Vの分周信号V4との排他的論理和をとって、それと信号FS2との論理積をとることで、空間的かつ時間的に4分の1の割合でハイレベルになる信号FS4が生成される。

【0022】信号源52は、ランダムに反転する信号Nを発生させる本発明第2の信号源である。図3は、信号源52の構成例である。アドレス発生回路72と乱数メモリ73はランダムに反転する信号Nを発生させる本発明第2の信号源で、乱数メモリ73には0または1がランダムに記録されている。乱数メモリ73の読み出しは垂直同期毎にリセットされる。

【0023】本実施例の信号切り替え器53~55の内部の構成例を、図4を用いて説明する。

【0024】信号D0~D9は図1における10ビットのディジタルRGB信号のいずれかを示すものである。D0を最下位ビット、D8を最上位ビットとする。排他的論理和74~75、論理積76~78、論理和79により構成される論理回路の真理値表を図5に記す。これによると、入力信号の下位2ビットD0・D1に応じてQがHになる割合が正しく変化している。加算器80は1ビットのキャリーフラグCR付きの加算器で、加算器80により信号Qは元のディジタル信号の上位8ビットD2~D9に加算される。セレクター81は、加算器80の加算によってオーバーフローが生じた場合、信号電極駆動器35への出力信号(本構成例では8ビット)を

全てハイレベルにする。オーバーフローしない、つまり加算器80のキャリーフラグCRが立たないときは、加算器80から出力される8ビット信号をそのままスルーして信号電極駆動器35へ伝達する。

【0025】次に本発明によってなされる中間階調表示の様子を具体例を持って説明する。図6は、10ビットのデジタルRGB信号の値が101である場合に、信号電極駆動器35の入力値がどのようになるかを、表示素子の画面上の絵素に対応づけて図示したものである。従来の方法によると、下位2ビットが無視され、全ての絵素に対応する値が25になってしまう。しかし、本発明の信号切り替え器を介すことにより、図5のように25と26の2値が、空間的、時間的に3対1の割合で表示される。これにより視覚的には25、25、10ビットで表現すると101が表示されていることになる。

【0026】図7は、10ビットのデジタルRGB信号の値が102である場合に、信号電極駆動器35の入力値がどのようになるかを、表示素子の画面上の絵素に対応づけて図示したものである。25と26の2値が1対1の割合で表示される。これにより視覚的には25、5、10ビットで表現すると102が表示されていることになる。

【0027】図8は、10ビットのデジタルRGB信号の値が103である場合に、信号電極駆動器35の入力値がどのようになるかを、表示素子の画面上の絵素に対応づけて図示したものである。25と26の2値が1対3の割合で表示される。これにより視覚的には25、75、10ビットで表現すると103が表示されていることになる。

【0028】(実施例2)次に本発明の第2の実施例を図9を用いて説明する。本発明の第2の実施例は、ランダムに反転する信号を発生させる第2の信号源、つまり図1の信号源52として、従来例において輝度補正が実施されている場合に、アドレス発生回路36と輝度補正メモリ37を流用したものである。輝度補正実行後、輝度補正メモリ37から出力される信号は空間的に完全にランダムであり、然るにその出力値のあるビット、例えば最下位ビットの値が0であるか1であるかは、全くランダムである。よって輝度補正メモリ37の出力信号のあるビットをそのままランダム信号Nとして使用することができる。以上説明した以外の回路構成及び効果は、前述した第1の実施例と全く同様であるのでその説明を省略する。

【0029】(実施例3)続いて、本発明の第3の実施例を図10を用いて説明する。図10は、信号切り替え器53～55としてメモリ82～84を使用したものである。メモリ82～84はROM、またはRAMである。メモリ82～84のデータ作成方法は、第1の実施例における、排他的論理和74～75、論理積76～78、論理和79、加算器80、セレクター81によって

構成される信号切り替え器と全く同じように動作するように作成すればよい。また、メモリ82～84によって、従来例における信号変換器38～40が行う信号変調動作を兼ねてしまってもよい。

【0030】ランダムに反転する信号を発生させる第2の信号源の構成は、本発明第1の実施例のようにアドレス発生回路66と乱数メモリ67を使用する構成でもよいし、本発明第2の実施例のようにアドレス発生回路36と輝度補正メモリ37を流用するものでもよい。

【0031】以上説明した以外は、前述した第1の実施例と全く同様であるのでその説明を省略する。

【0032】

【発明の効果】以上のように本発明によれば、第1の信号源と第2の信号源から発生する3つの信号を参照しながらデジタルRGB信号の2つの値を切り替えられることにより、デジタルRGB信号は空間的かつ時間的に変調される。そのため階調表示能力が4倍化され、擬輪郭の発生を低減し、輝度補正が実施されている場合には低輝度まで輝度補正を有効となり、きわめて高画質な画像表示が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における中間階調表示回路ブロック図

【図2】本発明の第1の実施例における第1の信号源の回路図

【図3】本発明の第1の実施例における第2の信号源の回路ブロック図

【図4】本発明の第1の実施例における信号切り替え器の回路図

【図5】本発明の第1の実施例における信号切り替え器の真理値表

【図6】本発明の第1の実施例における入力値一定の際の中間階調表示を説明する図

【図7】本発明の第1の実施例における入力値一定の際の中間階調表示を説明する図

【図8】本発明の第1の実施例における入力値一定の際の中間階調表示を説明する図

【図9】本発明の第2の実施例における中間階調表示回路ブロック図

【図10】本発明の第3の実施例における中間階調表示回路ブロック図

【図11】従来例におけるRGB信号による信号電極駆動を説明する図

【図12】従来例における輝度補正回路を説明する図

【図13】従来例における輝度補正による信号変調方法を説明する図

【符号の説明】

51 本発明の第1の信号源

52 本発明の第2の信号源

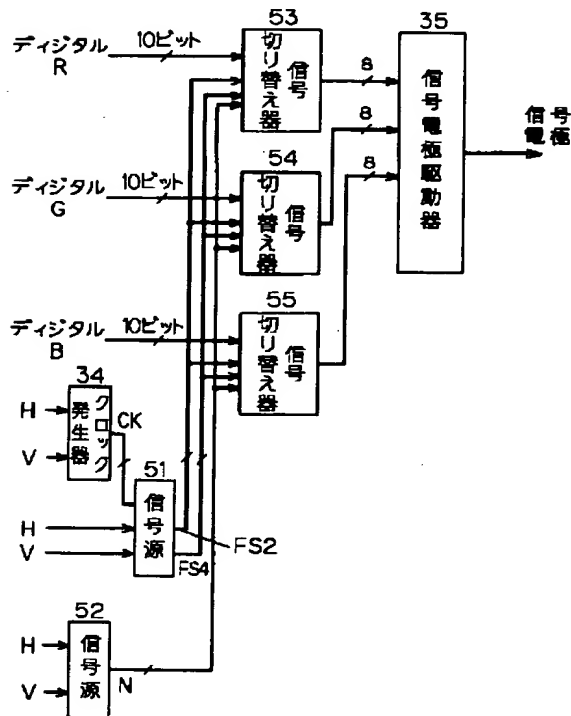
53～55 本発明の信号切り替え器

7
61~66 フリップフロップ
67~70 排他的論理和
71 論理積
72 アドレス発生回路
73 乱数メモリ
74、75 排他的論理和

8
76~78 論理積
79 論理和
80 加算器
81 セレクター
82~84 メモリ

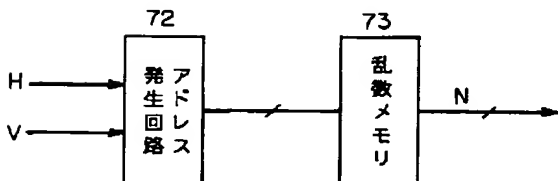
【図1】

51,52 信号源
53~55 信号切り替え器



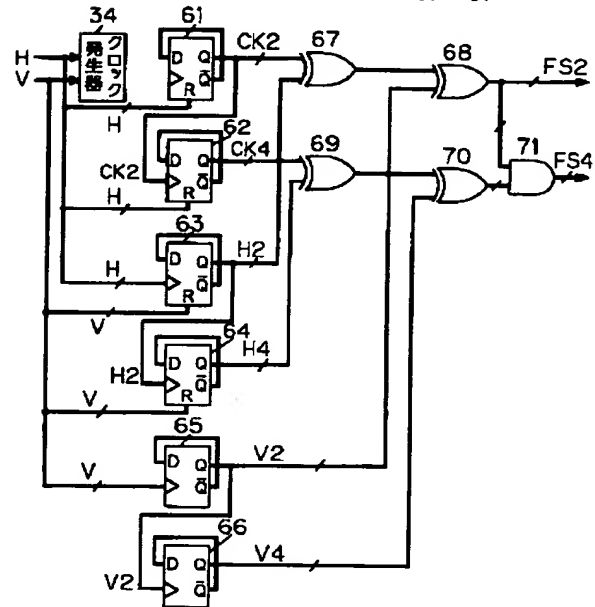
【図3】

72 アドレス発生回路
73 乱数メモリ



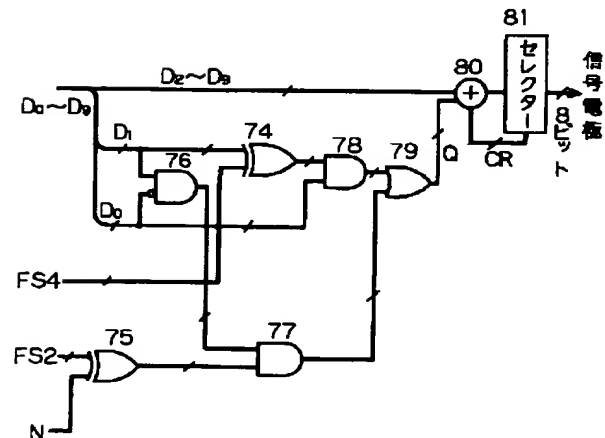
【図2】

61~66 フリップフロップ
67~70 排他的論理和
71 論理積



【図4】

74,75 排他的論理和
76~78 論理積
79 論理和
80 加算器
81 セレクター



【図5】

H ハイレベル
L ローレベル
X 無視(ハイレベルでもローレベルでもよい)

D1	DO	FS4	FS2	N	Q	QがHになる割合
L	L	X	X	X	L	0%
L	H	L	X	X	L	25%
L	H	H	X	X	H	
H	L	X	L	L	L	50%
H	L	X	L	H	H	
H	L	X	H	L	H	
H	L	X	H	H	L	
H	L	L	X	X	H	75%
H	L	H	X	X	L	

【図7】

第1フィールド

水平方向

25 25 25 25 25 25 26 25
26 25 26 25 26 25 26 25
25 25 25 26 25 25 25 26
26 26 26 25 26 26 26 25
25 25 26 25 25 25 26 25
26 25 26 25 26 25 26 25
25 25 25 26 25 25 25 26
26 26 26 25 26 26 26 25

第2フィールド

水平方向

26 26 25 26 26 26 25 26
25 26 25 26 25 26 25 26
26 26 26 25 26 26 26 25
25 25 25 26 25 25 25 26
26 26 25 26 26 26 25 26
25 26 25 26 25 26 25 26
26 26 26 25 26 26 26 25
25 25 25 26 25 25 25 26

【図8】

第1フィールド

水平方向

垂直方向
↓

26 26 26 25 26 26 26 25
26 26 25 26 26 26 25 26
26 25 26 26 25 25 26 26
25 26 26 26 25 26 26 26
26 26 26 25 26 26 26 25
26 26 25 26 26 26 25 26
26 25 26 26 26 25 26 26
25 26 26 26 25 26 26 26

第2フィールド

水平方向

垂直方向
↓

26 26 25 26 26 26 25 26
26 26 26 25 26 26 26 25
25 26 26 26 25 26 26 26
26 25 26 26 26 25 26 26
26 26 25 26 26 26 25 26
26 26 26 25 26 26 26 25
25 26 26 26 25 26 26 26
26 25 26 26 26 25 26 26

第3フィールド

水平方向

垂直方向
↓

26 25 26 26 26 25 26 26
25 26 26 26 25 25 26 26
26 26 26 25 26 26 26 25
26 26 25 26 26 26 25 26
26 25 26 26 26 25 26 26
25 26 26 26 25 26 26 26
26 26 26 25 26 26 26 25
26 26 25 26 26 26 25 26

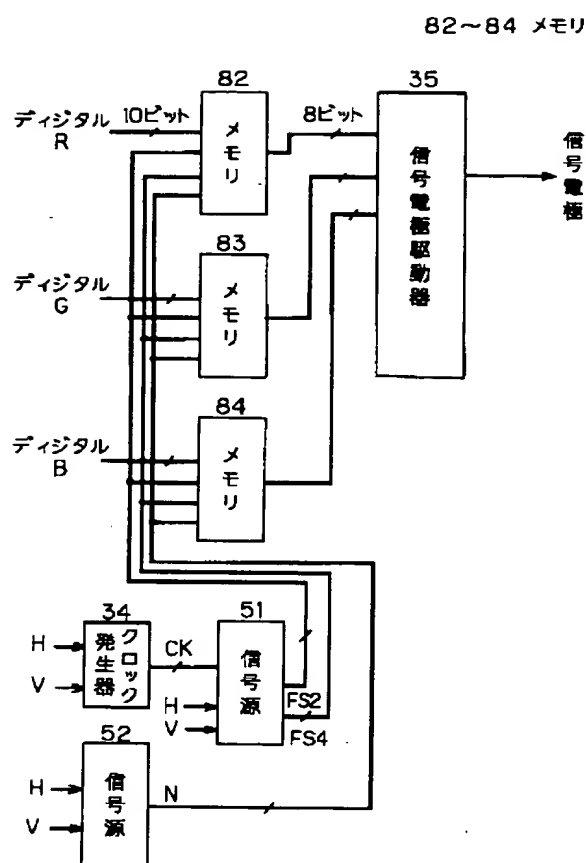
第4フィールド

水平方向

垂直方向
↓

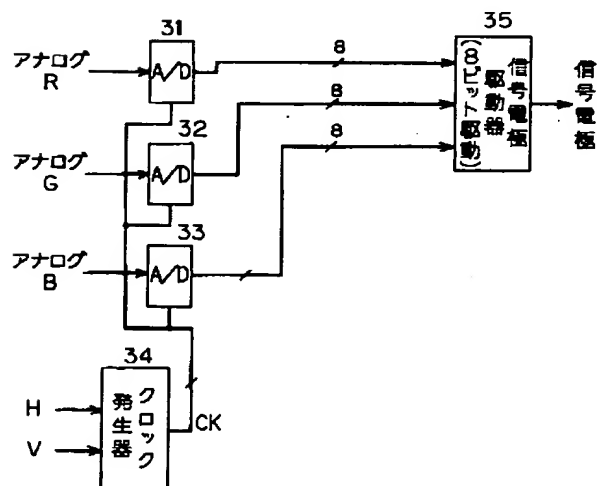
25 26 26 26 25 26 26 26
26 25 26 26 26 25 26 26
26 26 25 26 26 26 25 26
26 26 26 25 26 26 26 25
25 26 26 26 25 26 26 26
26 25 26 26 26 25 26 26
26 26 25 26 26 26 25 26
26 26 26 25 26 26 26 25

【図10】

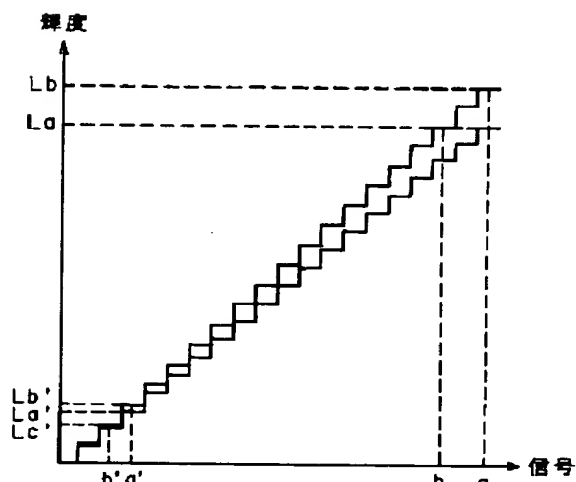


【例 11】

31~33 AD変換器
34 クロック発生器
35 信号電極駆動器
(8ビット駆動)



【图 13】



【図12】

- 31~33 AD変換器
 34 クロック発生器
 35 信号電極駆動器
 36 アドレス発生回路
 37 輝度補正メモリ
 38~40 信号変換器

